

esp@cenet document view

**DEVICE AND METHOD FOR DISPLAYING IMAGE**

Publication number: JP10143106

Publication date: 1998-05-29

Inventor: ANAI KIMIO (JP); ONDA YASUYUKI (JP)

Applicant: TOKYO SHIBAURA ELECTRIC CO (JP)

Classification:

- International:

G09G3/20; G02F1/133; G09G3/36; H04N5/44;  
H04N5/66; G09G3/20; G02F1/13; G09G3/36;  
H04N5/44; H04N5/66; (IPC1-7): G09G3/20; G02F1/133;  
G09G3/36; H04N5/66

- European:

G09G3/36C; G09G3/36C8S; G09G3/36C14;  
H04N5/44W; H04N5/66

Application number: JP19970227656 19970825

Priority number(s): JP19970227656 19970825; JP19960240317 19960911

Also published as:

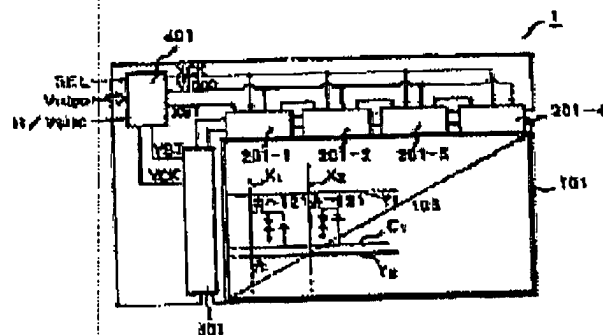
US6008789 (A1)

Report a data error here

**Abstract of JP10143106**

**PROBLEM TO BE SOLVED:** To provide a method and device for displaying an image capable of inexpensively and precisely displaying image information having an aspect ratio different from a display screen at a required aspect ratio.

**SOLUTION:** This image display device 1 is provided with a display panel 101 having a prescribed aspect ratio, horizontal scanning circuits 201-2,..., 201-4 outputting signal voltages corresponding to respective display pixels of respective horizontal pixel lines from an inputted video signal based on a clock signal, vertical scanning circuit 301 selecting the horizontal pixel line and a control circuit 401 supplying the clock signal to the horizontal scanning circuits 201-1,..., 201-4. The control circuit 401 is provided with a frequency division means frequency dividing a reference clock signal at prescribed first ratio and second ratio and a selection means selecting an output joining the reference clock signal with the output frequency divided at the first ratio from the frequency division means in a horizontal scan period and the output frequency divided at the second ratio from the frequency division means.



Data supplied from the esp@cenet database - Worldwide

Best Available Copy

DEC-31-2007 MON 07:42 PM BSKB FAX 404

FAX NO. 7032058050

P. 37

Page 2 of 2

esp@cenet document view



(2)

特開平10-143106

## 【特許請求の範囲】

【請求項1】 複数の表示画素から成る水平画素ラインを複数本備え、所定のアスペクト比を持つ表示パネルと、

入力される映像信号からクロック信号に基づいて各水平画素ラインの各表示画素に対応する信号電圧を出力する水平走査回路と、

前記水平画素ラインを選択する垂直走査回路と、前記水平走査回路に前記クロック信号を供給する制御回路と、を備えた画像表示装置において、

前記制御回路は、基準クロック信号を所定の第1の比率と第2の比率で分周する分周手段と、前記基準クロック信号と前記第1の比率で分周された前記分周手段からの出力とを一水平走査期間内で組合せた出力と、前記第2の比率で分周された前記分周手段からの出力とを選択する選択手段とを備えたことを特徴とする画像表示装置。

【請求項2】 請求項1記載の画像表示装置において、前記表示パネルのアスペクト比が $16/9$ であることを特徴とする画像表示装置。

【請求項3】 請求項2記載の画像表示装置において、前記映像信号のアスペクト比が $4/3$ である場合、前記分周手段の前記第1の比率は $1/2$ に設定されることを特徴とする画像表示装置。

【請求項4】 請求項2記載の画像表示装置において、前記映像信号のアスペクト比が $16/9$ である場合、前記分周手段の前記第2の比率は $2/3$ に設定されることを特徴とする画像表示装置。

【請求項5】 請求項1記載の画像表示装置において、前記分周手段は、前記基準クロック信号の立上りエッジ及び立下がりエッジに基づいて分周することを特徴とする画像表示装置。

【請求項6】 請求項1記載の画像表示装置において、前記分周手段は、前記基準クロック信号を $1/3$ に分周した第1の $1/3$ 分周信号と成す分周部と、前記第1の $1/3$ 分周信号の位相を前記基準クロック信号の2倍周期遅延させて第2の $1/3$ 分周信号と成す遅延部と、前記第1及び前記第2の $1/3$ 分周信号の立上りエッジ同士及び立下がりエッジ同士から前記 $2/3$ 分周信号を生成する検出力部とを含むことを特徴とする画像表示装置。

【請求項7】 複数の表示画素から成る水平画素ラインを複数本備え、所定のアスペクト比を持つ表示パネルに、入力される映像信号からクロック信号に基づいて各水平画素ラインの各表示画素に所定の画像表示を成す画像表示方法において、

基準クロック信号を所定の第1の比率と第2の比率で分周し、前記基準クロック信号と前記第1の比率で分周された出力とを一水平走査期間内で組合せた出力と、前記第2の比率で分周された出力とを選択的に用いる画像表

【請求項8】 請求項7記載の画像表示方法において、前記表示パネルのアスペクト比が $16/9$ であることを特徴とする画像表示方法。

【請求項9】 請求項8記載の画像表示方法において、前記映像信号のアスペクト比が $4/3$ である場合、前記第1の比率は $1/2$ に設定されることを特徴とする画像表示方法。

【請求項10】 請求項8記載の画像表示方法において、前記映像信号のアスペクト比が $16/9$ である場合、前記第2の比率は $2/3$ に設定されることを特徴とする画像表示方法。

【請求項11】 請求項7記載の画像表示方法において、前記基準クロック信号の立上りエッジ及び立下がりエッジに基づいて分周されることを特徴とする画像表示方法。

【請求項12】 請求項7記載の画像表示方法において、前記基準クロック信号を $1/3$ に分周した第1の $1/3$ 分周信号と成し、前記第1の $1/3$ 分周信号の位相を前記基準クロック信号の2倍周期遅延させて第2の $1/3$ 分周信号と成し、前記第1及び前記第2の $1/3$ 分周信号の立上りエッジ同士及び立下がりエッジ同士から前記 $2/3$ 分周信号を生成することを特徴とする画像表示方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、横Xと縦Yとの比率、即ちアスペクト比 $X/Y$ の有効表示領域に、入力される映像信号を順次サンプリングして画像表示を行う画像表示方法に関する。

【0002】

【従来の技術】液晶表示装置に代表される表示装置は、薄型、軽量、低消費電力の特徴を生かして、パーソナルコンピュータやワードプロセッサ等の表示装置として、テレビジョンあるいはカー・ナビゲーション・システムの表示装置として、更に投射型の表示装置として各種分野で利用されている。中でも、各表示画素にスイッチ素子が電気的に接続されて成るアクティブマトリックス型液晶表示装置は、隣接画素間でクロストークのない良好な表示画像を実現できることから、盛んに研究・開発が行われている。

【0003】特に、近年では、アスペクト比 $4/3$ の有効表示領域を備える表示装置から、視覚的に大画面が認識されるアスペクト比 $16/9$ 等の水平走査線方向に延びた有効表示領域を備える表示装置へと移行しつつある。

【0004】ところで、アスペクト比 $16/9$ の有効表示領域を備えた液晶表示装置に、アスペクト比 $4/3$ の画像情報を持つ映像信号を表示させる場合、いくつかの方法が知られている。

【0005】例えば、図13(a)に示すアスペクト比

(3)

特開平10-143106

4/3の映像信号Videoを、アスペクト比16/9の有効表示領域全体にわたり所定のサンプリングクロックに基づいて順次サンプリングし同図(b)に示すように表示する方法がある。この方法によれば、特殊な回路構成を必要としないものの、アスペクト比4/3の映像信号Videoのアスペクト比は忠実に再現されず、同図

(b)の如く水平走査線方向に延びた画像となる。

【0006】他の方法としては、同図(c)あるいは(d)に示す如く、アスペクト比16/9の有効表示領域を、アスペクト比4/9の表示領域と、アスペクト比12/9(4/3)の表示領域とに分割し、アスペクト比12/9(4/3)の表示領域にアスペクト比4/3の画像情報を持つ映像信号Videoを表示する方法がある。

【0007】しかしながら、この場合は、アスペクト比12/9(4/3)の表示領域に対応したサンプリング期間は、NTSC方式の場合、少なくとも一水平走査期間(1H)に対して0.8Hは必要であるため、アスペクト比4/9の表示領域に対応したサンプリング期間は0.2H以下となる。このため、従来ではフレームメモリ等を用いた画像処理技術により、予め画像処理された映像信号に基づいて順次サンプリングし表示を行っていたため、装置の低廉化を達成することができなかった。

【0008】

【発明が解決しようとする課題】このような中、例えば特開平8-289232号に開示される方法が提案されている。これは、図13(c)あるいは(d)に示すように、アスペクト比16/9の有効表示領域をアスペクト比12/9(4/3)の第1表示領域とアスペクト比4/9の第2表示領域とに分割し、第1表示領域にアスペクト比4/3の画像情報を持つ映像信号Videoを表示するに際し、第1表示領域に対応する映像信号Videoをサンプリングする第1サンプリングクロックと、第2表示領域に対応する他の信号Videoをサンプリングするサンプリングクロックとを異ならしめるというものである。

【0009】即ち、アスペクト比16/9の有効表示領域にアスペクト比16/9の画像情報を持つ映像信号Videoを表示する際のサンプリングクロックをCKとした場合、第1表示領域は通常のサンプリングクロックCKの3/4倍のサンプリングクロックを用いてサンプリングし、第2表示領域はサンプリングクロックCKの3/2倍のサンプリングクロックを用いてサンプリングするというものである。

【0010】そして、このようなサンプリングクロックを生成するにあたり、図14に示す回路構成を用い、周波数発信器VOCから発振される高周波数の信号VOCを1/n分周してそれぞれのサンプリングクロックを生成している。

【0011】しかしながら、このような手法によれば、

基準となる信号VOCの周波数が極めて高いため、外部回路の影響を受けやすく、このため生成されるサンプリングクロックが不安定となるばかりでなく、消費電力を増大させ、また不要な電磁波を発生する等の不具合が生じる。

【0012】この発明は、上述した技術課題に対処して成されたものであって、表示画面と異なるアスペクト比を持つ画像情報を、安価に、しかも高精度に所望のアスペクト比で表示することができる画像表示方法及び画像表示装置を提供することを目的としている。

【0013】

【課題を解決するための手段】この発明は、複数の表示画面から成る水平画素ラインを複数本備え、所定のアスペクト比を持つ表示パネルと、入力される映像信号からクロック信号に基づいて各水平画素ラインの各表示画素に対応する信号電圧を出力する水平走査回路と、前記水平画素ラインを選択する垂直走査回路と、前記水平走査回路に前記クロック信号を供給する制御回路と、を備えた画像表示装置において、前記制御回路は、基準クロック信号を所定の第1の比率と第2の比率で分周する分周手段と、前記基準クロック信号と前記第1の比率で分周された前記分周手段からの出力とを一水平走査期間内で組合せた出力と、前記第2の比率で分周された前記分周手段からの出力とを選択する選択手段とを備えたことを特徴とする画像表示装置にある。

【0014】また、この発明は、複数の表示画面から成る水平画素ラインを複数本備え、所定のアスペクト比を持つ表示パネルに、入力される映像信号からクロック信号に基づいて各水平画素ラインの各表示画素に所定の画像表示を成す画像表示方法において、基準クロック信号を所定の第1の比率と第2の比率で分周し、前記基準クロック信号と前記第1の比率で分周された出力とを一水平走査期間内で組合せた出力と、前記第2の比率で分周された出力とを選択的に用いる画像表示方法にある。

【0015】この発明によれば、上記の構成により表示画面と異なるアスペクト比を持つ画像情報を、安価に、しかも高精度に所望のアスペクト比で表示することができる画像表示方法及び画像表示装置が提供できる。

【0016】

【発明の実施の形態】以下、本発明の一実施例の液晶表示装置について、図面を参照して説明する。この液晶表示装置1は、図1に示すように、対角6インチ、アスペクト比16/9の表示領域103を備え、NTSC方式の映像信号Videoに対応して図13(b)、(c)に示す表示状態が実現可能に構成される。

【0017】液晶表示装置1は、液晶パネル101と、液晶パネル101に電気的に接続され映像信号Videoをサンプリングすることにより所望の電圧を供給する4個のX駆動回路201-1、201-2、201-3、201-4及び走査パルスを供給する1個のY駆動回路301、及び制御回路部401を含

(4)

特開平10-143106

む。

【0018】液晶パネル101は、図1乃至2に示すように、アレイ基板110と対向基板150とが、それぞれ配向膜181, 183を介してツイスト・ネマチック型の液晶層185を保持し、シール材（図示せず）によって互いに貼り合わさっている。また、各基板110, 150の外表面には、それぞれ偏光板191, 193が、その偏光軸が直交するように配置されて成っている。アレイ基板110は、480×3本の信号線 $X_i$  ( $i=1, 2, \dots, 1440$ )と240本の走査線 $Y_j$  ( $j=1, 2, \dots, 240$ )とが略直交するように配置されている。各信号線 $X_i$ と各走査線 $Y_j$ との交点近傍には、走査線 $Y_j$ 自体をゲート電極とし、ゲート絶縁膜122を介して活性層123に非晶質シリコン薄膜が用いられ、更にこの上にチャネル保護膜124、活性層123に接続される信号線 $X_i$ から延びるドレイン電極125、活性層123に接続されるソース電極126を備えた成る逆スタガ型の薄膜トランジスタ121（以下、TFTと略称する。）が配置される。このTFT121のソース電極126はI.T.O.（Indium Tin Oxide）から成る画素電極131に接続されている。また、アレイ基板110は、走査線 $Y_j$ に対し略平行に、しかも画素電極131と重複する領域を有して配置される補助容量線 $C_j$  ( $j=1, 2, \dots, 240$ )を備え、画素電極131と補助容量線 $C_j$ とによって補助容量 $C_s$ が形成されている。対向基板150は、アレイ基板110に形成されるTFT121、信号線 $X_i$ と画素電極131との間隙、走査線 $Y_j$ と画素電極131との間隙のそれぞれを遮光するためのマトリクス状の遮光層153、カラー表示を実現するための遮光層153間に配置される赤（R）、緑（G）、青（B）の3原色で構成されるカラーフィルタ層155を備え、更にI.T.O.から成る対向電極157が配置されて構成されている。

【0019】このようにして、上述した液晶パネル101の表示領域103は、一水平画素ラインが赤（R）、緑（G）、青（B）の表示画素で構成される480個の表示線素を含み、このような水平画素ラインが240本配列されて成っている。

【0020】制御回路部401は、X駆動回路201-1, 201-2, 201-3, 201-4に水平クロック信号XCK、水平スタート信号XST及び映像信号Videoを供給すると共に、Y駆動回路301に垂直クロック信号YCK及び垂直スタート信号YSTのそれぞれを出力する。

【0021】X駆動回路201-1は、図3に示すように、水平スタート信号XSTを水平クロック信号XCKに基づいて順次転送する120段のフリップ・フロップ回路で構成されるシフトレジスタS/Rと、このシフトレジスタS/R出力に基づいて映像信号Videoを順次サンプリングするサンプリング・トランジスタSTFTとを含むサンプリング回路211と、サンプリング回路211でサンプリングされた映像信号電圧 $V_{sig}$ を保持するラッチ回路212及びバッファ回路231とで構成される。X駆

動回路201-2, 201-3, 201-4も同様の構成であるため説明は省略する。

【0022】Y駆動回路301、図4に示すように、垂直スタート信号YSTを垂直クロック信号YCKに基づいて順次転送する240段のフリップ・フロップ回路で構成されるシフトレジスタS/Rと、これを走査パルスとして出力するバッファ回路311とで構成される。

【0023】また、制御回路部401は、図5に示すように、外部から入力される画面切り替え信号SELに基づいて、異なる水平クロック信号XCKの出力を可能にする水平クロック制御回路部411を含む。この水平クロック制御回路部411は、切り替え信号SELに基づいて制御信号A, B, Cを生成する制御信号生成部421と、水平・垂直同期信号H/Vsyncに基づいて周波数 $f_{CK}$ が14MHzの基準クロック信号CKrefを生成する、例えばPLL回路等で構成されるクロック発振回路431と、水平クロック生成部441（図6参照）とを備え、水平クロック生成部441は制御信号A, B, C、基準クロック信号CKref、インバータ433によって反転された反転基準クロック信号ICKrefとによって制御される。

【0024】水平クロック生成部441について、図6を参照して詳細に説明する。制御信号Aは、NORゲート464の一端に入力され他端には第1フリップ・フロップ443の出力が入力され、NORゲート464の出力はNANDゲート466の一端に導かれる。

【0025】また、制御信号Bは、ORゲート465の一端に入力され他端には第2フリップ・フロップ445の出力がインバータ469を介して入力され、ORゲート465の出力はNANDゲート466の他端に導かれる。そして、第1フリップ・フロップ443は、NANDゲート466の出力及び基準クロック信号CKrefに基づいて制御され、この出力は信号DとしてNORゲート455の一端に導かれる。

【0026】また、制御信号Aはインバータ461を介してNANDゲート467の一端に、制御信号Bはインバータ462を介してNANDゲート467の他端に、更に第1フリップ・フロップ443の出力がNANDゲート467の他端に入力され、第2フリップ・フロップ445はNANDゲート467の出力と基準クロック信号CKrefに基づいて制御され、この出力が信号EとしてNORゲート457の一端に導かれる。

【0027】更に第3フリップ・フロップ447は第1フリップ・フロップ443の出力と反転基準クロック信号ICKrefに基づいて制御され、この出力が信号FとしてORゲート451, 453のそれぞれ的一端に入力される。

【0028】ORゲート451はこの信号Fと制御信号Bとに基づいて制御され、NORゲート455は第1フリップ・フロップ445からの信号DとORゲート451からの出力に基づいて信号Gを出力する。

(5)

特開平10-143106

【0029】また、NORゲート468 はインバータ462 を介して入力される制御信号Bとインバータ463 を介して入力される制御信号Cとに基づいて制御され、ORゲート451 は信号FとNORゲート468 からの出力とに基づいて制御される。そして、NORゲート457 は、ORゲート453 の出力と第2フリップ・フロップ445 からの信号Eとを入力とし、信号Hを出力する。

【0030】そして、EXORゲート459 は信号G、Hに基づいて、クロック信号XCKを出力する。制御信号Aは水平クロック生成部411 から出力される水平クロック信号XCKの出力期間を制御するものである。また、制御信号B、Cは水平クロック生成部411 から出力される水平クロック信号XCKの周波数を制御するものである。即ち、図7に示すように、この水平クロック生成部411 は、制御信号B、Cが共にロー（L）レベルの場合、及び制御信号BがLレベルで制御信号Cがハイ

（H）レベルの場合、基準クロック信号CKref の周波数（fCK）の2/3の周波数（ $2fCK/3$ ）の水平クロック信号XCKを出力する。また、水平クロック生成部411 は、制御信号BがHレベルで制御信号CがLレベルの場合、基準クロック信号CKref の周波数（fCK）と等しい周波数（fCK）の水平クロック信号XCKを出力する。また、水平クロック生成部411 は、制御信号B、Cが共にHレベルの場合、基準クロック信号CKref の周波数（fCK）の1/2の周波数（ $fCK/2$ ）の水平クロック信号XCKが出力する。

【0031】この基準クロック信号CKref の周波数（fCK）は、水平周波数（fH）×水平ドット数に基づいて算出され、NTSC信号を表示する場合は水平周波数（fH）が15.734kHzであり、またこの実施例では水平ドット数は赤（R）、緑（G）、青（B）の表示画素がそれぞれ480で構成され、各水平走査期間における有効映像信号は約8/10程度であるため $[480/(8/10)]$ となる。即ち、基準クロック信号CKref の周波数（fCK）は、 $\{fH\} \times [480/(8/10)] \times (3/2)$ で求められ、ここでは約14MHzに設定される。

【0032】尚、PAL信号を受信する場合は、PAL信号の水平周波数（fH）に合わせて、また表示に使用するべき水平ドット数を変更することでクロック信号（CK）は調整される。

【0033】これに基づいて、この液晶表示装置1 は、次のように動作する。まず、液晶表示装置1 の表示領域103 全体に、アスペクト比16/9の画像情報あるいはアスペクト比4/3の画像情報を持つNTSC方式の映像信号Videoを図13（b）の如く表示する場合について説明する。

【0034】制御回路部401 のクロック発振回路431 は、図8に示すように14MHzの基準クロック信号CKref（本発明の発振部）を、基準クロック信号CKref とこの反転

基準クロック信号CKref とが水平クロック生成部411 に出力される。

【0035】制御信号生成部421 には、基準クロック信号CKref、切り替え信号SEL及び水平/垂直同期信号H/Vsyncが入力され、これに基づいて水平スタート信号XSTを出力するとともに、制御信号A、B、Cを水平クロック生成部411 に出力する。これに基づいて、水平クロック生成部411 は、入力される基準クロック信号CKref を1/3に分周した第1の1/3分周信号を第1フリップ・フロップ443 から信号Dとして出力する。この信号Dは、LレベルとHレベルのデューティ比が1:2の比率となっている。また、第2フリップ・フロップ445 は信号Dを基準クロック信号CKref に基づいて1クロック遅延させた信号Eを出力する。また、第3フリップ・フロップ447 は信号Dを基準クロック信号CKref に基づいて1/2クロック遅延させた信号Fを出力する。

【0036】NORゲート455 は、信号Dと、制御信号Bと信号Fとに基づくORゲート451 の出力とによって制御され、基準クロック信号CKref が1/3分周され、LレベルとHレベルのデューティ比が1:1の比率となる信号Gを出力する。

【0037】NORゲート457 は、制御信号B、Cに基づくLレベルの信号と信号Fとに基づくORゲート453 の出力と、信号Eとによって制御され、基準クロックCKref が1/3分周され、LレベルとHレベルのデューティ比が1:1の比率となる信号Gに対して位相が1/2クロック遅れた信号Hを出力する。

【0038】そして、EXORゲート459 は信号G、Hに基づいて、基準クロック信号CKref が2/3分周され、基準クロック信号CKref の周波数（fCK）の2/3の周波数（ $2fCK/3$ ）に制御され、LレベルとHレベルのデューティ比が2:1の比率となる水平クロック信号XCKを出力する。

【0039】この水平クロック信号XCKに基づいて、入力される映像信号Video は一水平走査期間（1H）内で各色毎に480のサンプリングが成され、液晶表示装置1の表示領域103 にはアスペクト比16/9の画像情報が再現される。

【0040】次に、表示領域103 を、図13（c）に示す如くアスペクト比12/9（4:3）の第1表示領域Aと、アスペクト比4/9の第2表示領域Bとに分割し、第1表示領域Aにアスペクト比4/3の画像情報を持つNTSC方式の映像信号Videoを表示する場合について説明する。

【0041】この場合、図9に示すように、まず一水平走査期間（1H）の内の0.8Hの間、アスペクト比4/3の第1表示領域Aに対応する映像信号Videoをサンプリングし、0.2Hの間、アスペクト比4/9の第2表示領域Bに対応する映像信号Videoをサンプリングす

(6)

特開平10-143106

る。尚、この実施例では第2表示領域Bには黒表示がなされるよう映像信号Videoが設定されている。

【0042】まず、画面切り替え信号SELに基づいて制御信号生成部421は、0.8Hの間、Hレベルに設定された制御信号B、Cを出力し、これにより基準クロック信号CKrefの周波数(fCK)の1/2の周波数(fCK/2)の水平クロック信号XCKが出力される。

【0043】即ち、水平クロック生成部411は、入力される基準クロック信号CKrefを1/2に分周し、位相が180°ずれた第1の1/2分周信号を第1フリップ・フロップ443から信号Dとして出力する。また、第2フリップ・フロップ445は、制御信号A及び制御信号Bが共にLレベルであるため、常にHレベルの信号Eを出力する。また、第3フリップ・フロップ447は信号Dを基準クロック信号CKrefに基づいて1/2クロック遅延させた信号Fを出力する。NORゲート455は、信号Dと、制御信号Bと信号Fとに基づくORゲート451の出力とによって制御され、信号Dの位相が180°ずれた信号Gを出力する。NORゲート457は、制御信号B、Cに基づくHレベルの信号と信号Fとに基づくORゲート453の出力と、信号Eとによって制御され、常にLレベルの信号Hを出力する。そして、EXORゲート459は信号G、Hに基づいて、基準クロック信号CKrefが1/2分周され、基準クロック信号CKrefの周波数(fCK)の1/2の周波数(fCK/2)に制御され、LレベルとHレベルのデューティ比が1:1の比率となる水平クロック信号XCKを出力する。

【0044】これに基づいて、一水平走査期間(1H)の内の0.8Hの間、アスペクト比4/3の第1表示領域Aに対応する映像信号Videoが順次サンプリングされる。そして、残りの0.2Hの間、同図に示すように、制御信号CはLレベルに設定され、これにより基準クロック信号CKrefの周波数(fCK)と等しい周波数(fCK)の水平クロック信号XCKが出力される。

【0045】即ち、水平クロック生成部411は、入力される基準クロック信号CKrefを1/2に分周し、位相が180°ずれた第1の1/2分周信号を第1フリップ・フロップ443から信号Dとして出力する。また、第2フリップ・フロップ445は、制御信号A及び制御信号Bが共にLレベルであるため、常にHレベルの信号Eを出力する。また、第3フリップ・フロップ447は信号Dを基準クロック信号CKrefに基づいて1/2クロック遅延させた信号Fを出力する。NORゲート455は、信号Dと、制御信号Bと信号Fとに基づくORゲート451の出力とによって制御され、信号Dの位相が180°ずれた信号Gを出力する。NORゲート457は、制御信号B、Cに基づくLレベルの信号と信号Fとに基づくORゲート453の出力と、信号Eとによって制御され、信号Fに大して位相が180°ずれた信号Hを出力する。そして、EXORゲート459は信号G、Hに基づいて、基

準クロック信号CKrefと等しい周波数(fCK)の水平クロック信号XCKを出力する。

【0046】これに基づいて、一水平走査期間(1H)の内の0.2Hの間、アスペクト比4/9の第2表示領域Bに対応する映像信号Videoが順次サンプリングされる。以上のように、一水平走査期間(1H)内で水平クロック信号XCKの周波数を切換えることにより、アスペクト比4/3の第1表示領域Aにアスペクト比4/3の画像情報を持つ映像信号Videoが、そのアスペクト比を崩すことなく表示される。

【0047】以上説明したように、この実施例の液晶表示装置1によれば、高価なメモリを使用することなく、その水平クロック信号XCKの周波数を適宜変更することにより、図13(b)、(c)に示すような表示状態を実現することができる。しかも、基準クロック信号CKrefは、特有の構成により従来に比べて十分な低速化が可能であるため、外部回路の影響を受けにくく、安定した水平クロック信号XCKが生成でき、更に低消費電力が達成される。しかも、その周波数を低減することにより、不要な電磁波の発生を抑えることもできる。

【0048】次に、本発明の他の実施例について、図面を参照して説明する。この実施例の液晶表示装置1は、上述した実施例に加え、図13(d)に示す表示状態が実現可能に構成されている。

【0049】このため、この液晶表示装置1は、図10に示すように、X駆動回路201-1とX駆動回路201-2との間には制御回路401からの切換信号SEに基づいて制御される切換スイッチ501が介挿され、X駆動回路201-2にはX駆動回路201-1の最終段のフリップ・フロップの出力をスタート信号XSTとする場合と、制御回路401から入力されるスタート信号XST2に基づいて動作する場合とが切換可能に構成されている。

【0050】これに伴って、制御回路401は、第1及び第2スタート信号XST1、XST2、および切換信号SEを出力可能に構成されている。これに基づいて、この液晶表示装置1は、次のように動作する。まず、液晶表示装置1の表示領域103全体に、アスペクト比16/9の画像情報あるいはアスペクト比4/3の画像情報を持つNTSC方式の映像信号Videoを図13(b)の如く表示する場合について説明する。

【0051】制御回路部401から出力される切換信号SEに基づいて、X駆動回路201-2にはX駆動回路201-1の最終段のフリップ・フロップの出力がスタート信号XSTとして入力されるよう設定する。即ち、各X駆動回路201-1、201-2、201-3、201-4はカスケード接続された状態とする。

【0052】そして、上述した実施例と同様に、この制御回路401は、図8に示す14MHzの基準クロック信号CKrefに基づいて、基準クロック信号CKrefの周波数(fCK)の2/3の周波数(2fCK/3)に制御さ



(7)

特開平10-143106

れ、LレベルとHレベルのデューティ比が2:1の比率となる水平クロック信号XCKを出力する。

【0053】この水平クロック信号XCKに基づいて、入力される映像信号Videoは一水平走査期間(1H)内で各色毎に480のサンプリングが成され、液晶表示装置1の表示領域103にはアスペクト比16/9の画像情報が再現される。

【0054】次に、表示領域103を、図13(c)に示す如くアスペクト比12/9(4:3)の第1表示領域Aと、アスペクト比4/9の第2表示領域Bとに分割し、領域Aにアスペクト比4/3の画像情報を持つNTSC方式の映像信号Videoを表示する場合について説明する。

【0055】この場合も、制御回路部401から出力される切替信号SEに基づいて、X駆動回路201-2にはX駆動回路201-1の最終段のフリップ・フロップの出力がスタート信号XSTとして入力されるよう設定する。即ち、各X駆動回路201-1,201-2,201-3,201-4はカスケード接続された状態とする。

【0056】そして、上述した実施例と同様に、制御回路401は、まず一水平走査期間(1H)の内の0.8Hの間、アスペクト比4/3の第1表示領域Aに対応する映像信号Videoがサンプリングされるよう基準クロック信号CKrefの周波数(fCK)の1/2の周波数(fCK/2)の水平クロック信号XCKを出力する。

【0057】そして、残りの0.2Hの間、基準クロック信号CKrefの周波数(fCK)と等しい周波数(fCK)の水平クロック信号XCKが出力される。これにより、一水平走査期間(1H)内で全ての画素に対応したサンプリングが完了する。

【0058】このようにしてアスペクト比4/3の第1表示領域Aにアスペクト比4/3の画像情報を持つ映像信号Videoが、そのアスペクト比を崩すことなく表示される。

【0059】次に、表示領域103を、図13(d)に示す如くアスペクト比12/9(4:3)の第1表示領域Aと、アスペクト比4/9の第2表示領域Bとに分割し、第1表示領域Aにアスペクト比4/3の画像情報を持つNTSC方式の映像信号Videoを表示する場合について説明する。

【0060】この場合、制御回路部401から出力される切替信号SEに基づいて、X駆動回路201-2には制御回路部401から出力される第2水平スタート信号XST2が入力されるように設定される。

【0061】そして、上述した場合と同様に、図12に示すごとく、制御回路401は、まず一水平走査期間(1H)の内の0.8Hの間、アスペクト比4/3の第2表示領域Bに対応する映像信号Videoがサンプリングされるよう基準クロック信号CKrefの周波数(fCK)の1/2の周波数(fCK/2)の水平クロック信号XCKを

出力する。X駆動回路201-2,201-3,201-4は、第2水平スタート信号XST2及びこの水平クロック信号XCKに基づいて第2表示領域Bに対応する映像信号Videoをサンプリングする。

【0062】そして、残りの0.2Hの間、制御回路401は基準クロック信号CKrefの周波数(fCK)と等しい周波数(fCK)の水平クロック信号XCKを出力する。X駆動回路201-1は、第1水平スタート信号XST1及びこの水平クロック信号XCKに基づいて第1表示領域Aに対応する映像信号Videoをサンプリングする。これにより、一水平走査期間(1H)内で全ての画素に対応したサンプリングが完了する。

【0063】このようにしてアスペクト比4/3の第2表示領域Bにアスペクト比4/3の画像情報を持つ映像信号Videoが、そのアスペクト比を崩すことなく表示される。

【0064】以上説明したように、この実施例の液晶表示装置1によれば、上述した実施例に加え、図13(d)に示すような表示状態を実現することができる。上述した実施例では、いずれもNTSC方式の映像信号Videoを例にとり説明したが、各種信号の表示が可能である。また、有効表示領域の分割位置を適宜細分化することにより、各種表示位置に表示することができることは言うまでもない。

【0065】また、有効表示領域を分割する場合、複数の映像信号Videoを組合せることで、それぞれの領域に異なる画像表示が可能である。上述した実施例の液晶表示装置(1)では、各画素毎にTFTが電気的に接続されたアクティブマトリクス型の表示装置を例に取り説明したが、スイッチ素子としてMIM(Metal Insulator Metal)素子が用いられたものであっても良い。

【0066】

【発明の効果】この発明の画像表示装置及び画像表示方法によれば、表示画面と異なるアスペクト比を持つ画像情報を、安価に、しかも高精度に所望のアスペクト比で表示することができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例の液晶表示装置の概略構成図である。

【図2】図2は、図1の液晶パネルの一部概略断面図である。

【図3】図3は、図1のX駆動回路部の概略構成図である。

【図4】図4は、図1のY駆動回路部の概略構成図である。

【図5】図5は、図1の制御回路部の概略構成図である。

【図6】図6は、制御回路部の水平クロック生成部の概略構成図である。

【図7】図7は、制御信号と水平クロック信号XCKの

(8)

特開平10-143106

周波数との関係を示明する図である。

【図8】図8は、水平クロック生成部における一水平クロック信号を生成するための各波形図である。

【図9】図9は、水平クロック生成部における他の水平クロック信号を生成するための各波形図である。

【図10】図10は、本発明の他の実施例の液晶表示装置の概略構成図である。

【図11】図11は、図10の制御回路部の概略構成図である。

【図12】図12は、水平クロック生成部における一水平クロック信号を生成するための各波形図である。

【図13】図13は、各種表示状態を説明するための図である。

【図14】図14は、従来の一水平クロック信号を生成するための水平クロック生成部の概略構成図である。

【符号の説明】

1 …液晶表示装置

103 …表示領域

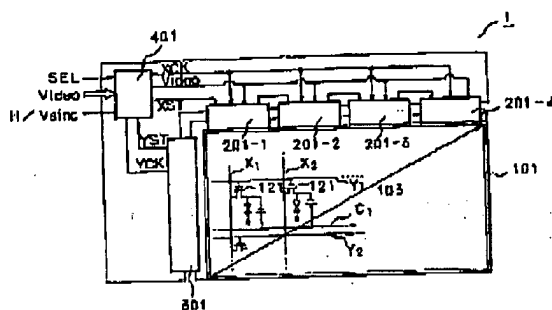
201-1, 201-2, 201-3, 201-4 …X駆動回路

301 …Y駆動回路

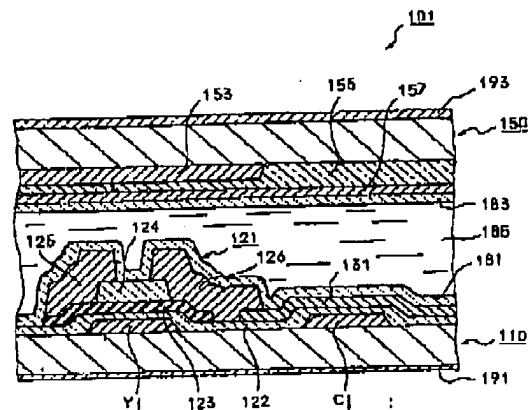
401 …制御回路部

411 …水平クロック生成部

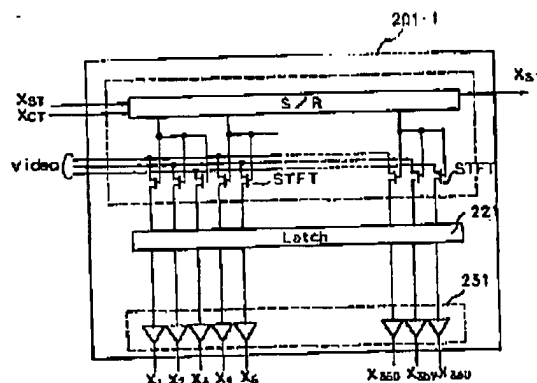
【図1】



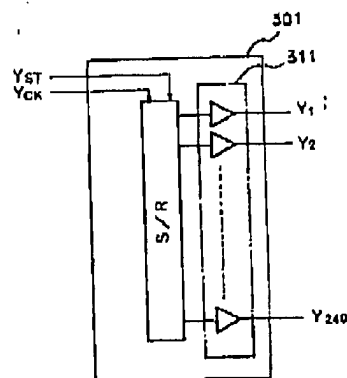
【図2】



【図3】



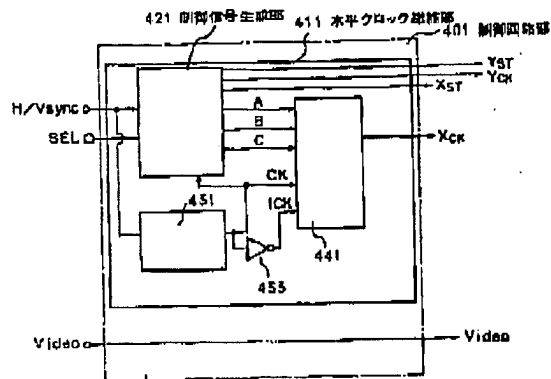
【図4】



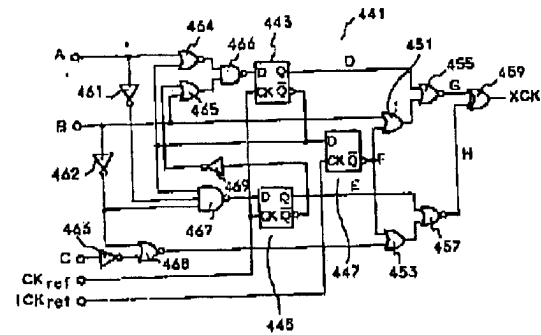
(9)

特開平10-143106

【図5】



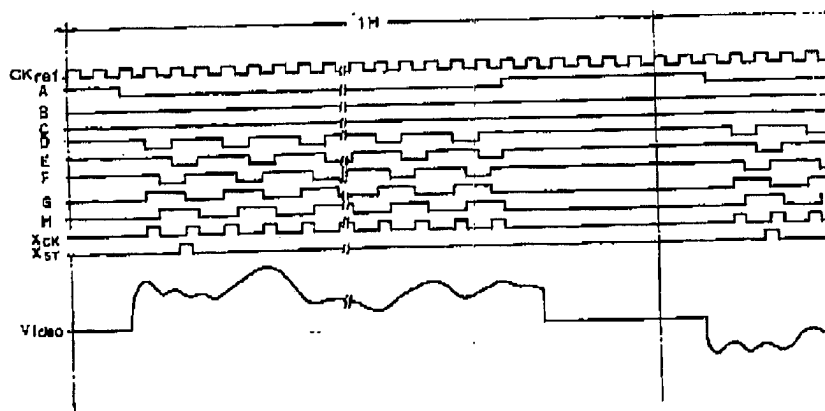
【図6】



【図7】

制御信号		水平クロック信号 XCK 周波数
B	C	
L	L	$f_{CK}/3$
L	H	$f_{CK}$
H	L	$f_{CK}$
H	H	$f_{CK}/2$

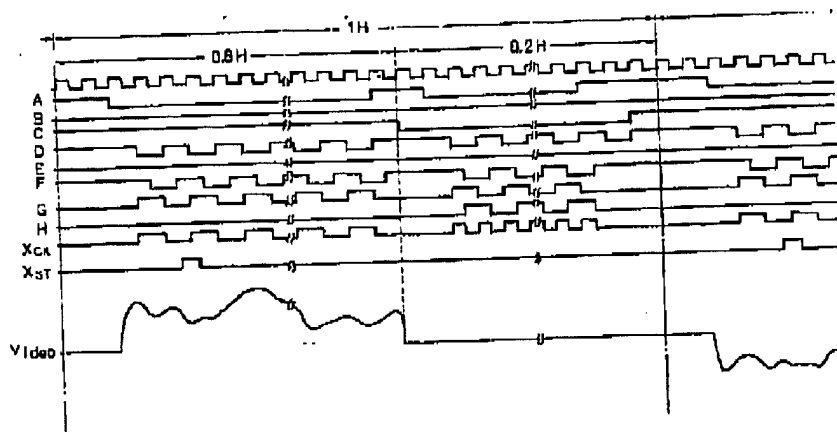
【図8】



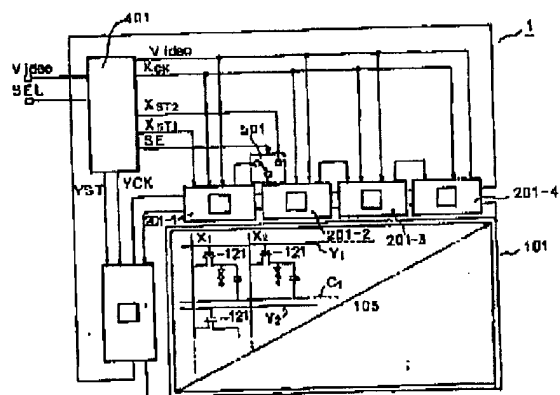
(10)

特開平10-143106

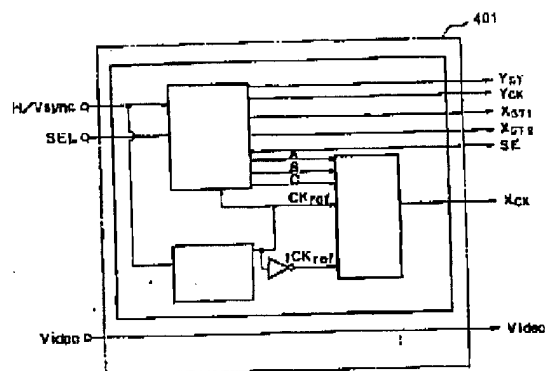
【図9】



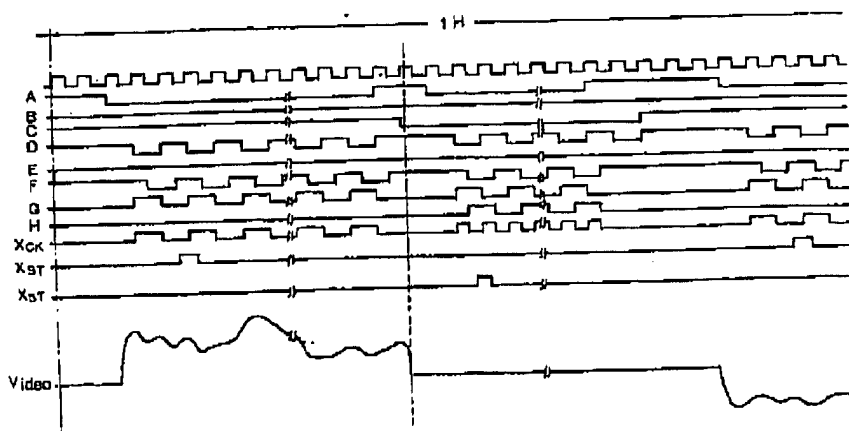
【図10】



【図11】



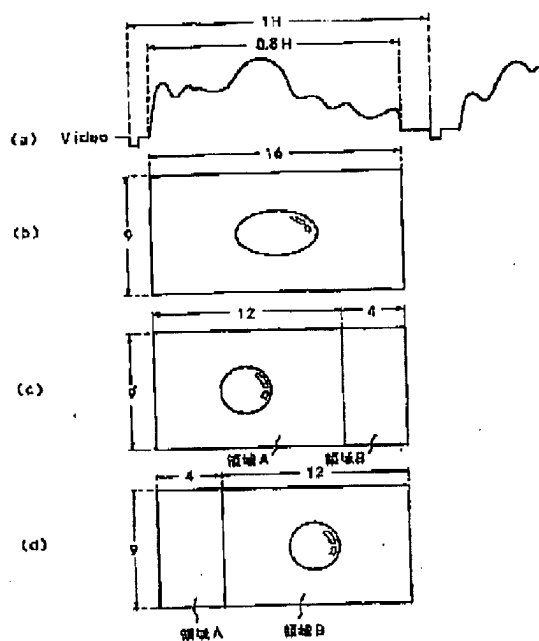
【図12】



(11)

特開平10-143106

【図13】



【図14】

